

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-204823

(P2019-204823A)

(43) 公開日 令和1年11月28日(2019.11.28)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 33/36 (2010.01)	H01L 33/36	5C094
H01S 5/183 (2006.01)	H01S 5/183	5F173
G09F 9/33 (2006.01)	G09F 9/33	5F241
G09F 9/00 (2006.01)	G09F 9/00 338	5G435

審査請求 未請求 請求項の数 15 O L (全 27 頁)

(21) 出願番号 特願2018-97246 (P2018-97246)
 (22) 出願日 平成30年5月21日 (2018. 5. 21)

(71) 出願人 000005049
 シャープ株式会社
 大阪府堺市堺区匠町 1 番地
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
 (72) 発明者 井口 勝次
 大阪府堺市堺区匠町 1 番地 シャープ株式会社内
 Fターム(参考) 5C094 AA10 AA44 BA24 CA19 DB02
 FA01 FA02 FA03 FB02 FB14
 JA09
 5F173 AC03 AC14 AD02 AP33

最終頁に続く

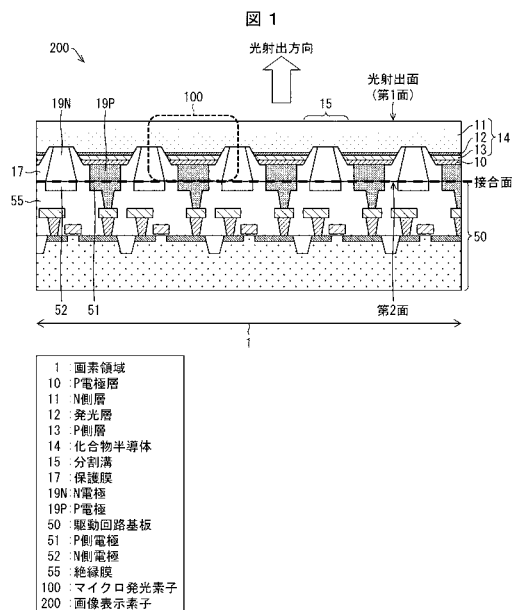
(54) 【発明の名称】 マイクロ発光素子、画像表示素子およびその形成方法

(57) 【要約】

【課題】発光効率の低下を抑制し、かつ製造コストを低減する。

【解決手段】マイクロ発光素子(100)は、光射出面の側から順に、N側層(11)、発光層(12)、およびP側層(13)を積層した化合物半導体(14)を備え、上記光射出面と対向する他方の面に、N側層(11)と接続するN電極(19N)と、P側層(13)と接続するP電極(19P)とが配置されており、P電極(19P)は発光層(12)上に配置され、N電極(19N)は、発光層(12)と、他のマイクロ発光素子の発光層とを分割する境界の領域である分割領域に配置されており、N電極(19N)の上記他方の面側の表面とP電極(19P)の上記他方の面側の表面とが同一平面上にあり、N電極(19N)とP電極(19P)とは共に単一の配線層よりなる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

光射出面の側から順に、第 1 導電層、発光層、および上記第 1 導電層と反対の導電型を有する第 2 導電層を積層した化合物半導体を備えたマイクロ発光素子であって、

上記光射出面と対向する他方の面に、上記第 1 導電層と接続する第 1 電極と、上記第 2 導電層と接続する第 2 電極とが配置されており、

上記第 2 電極は上記発光層上に配置され、

上記第 1 電極は、上記発光層と、他のマイクロ発光素子の発光層とを分割する境界の領域である分割領域に配置されており、

上記第 1 電極の上記他方の面側の表面と上記第 2 電極の上記他方の面側の表面とが同一平面上にあり、上記第 1 電極と上記第 2 電極とは共に単一の配線層よりなることを特徴とするマイクロ発光素子。

10

【請求項 2】

光射出面の側から順に、第 1 導電層、発光層、および上記第 1 導電層と反対の導電型を有する第 2 導電層を積層した化合物半導体を備えたマイクロ発光素子であって、

上記光射出面と対向する他方の面に、上記第 1 導電層と接続する第 1 電極と、上記第 2 導電層と接続する第 2 電極とが配置されており、

上記第 2 電極は上記発光層上に配置され、

上記第 1 電極は、上記発光層と、他のマイクロ発光素子の発光層とを分割する境界の領域である分割領域に配置されており、

20

上記第 1 電極の上記他方の面側の表面と上記第 2 電極の上記他方の面側の表面とが同一平面上にあり、

上記第 1 電極は、上記光射出面側に第 1 の金属材料を配置し、上記他方の面側に第 2 の金属材料を配置しており、

上記第 1 の金属材料は、上記第 2 の金属材料に比べて、反射率が高いことを特徴とするマイクロ発光素子。

【請求項 3】

上記マイクロ発光素子は、上記他のマイクロ発光素子の少なくとも一部と接続していることを特徴とする請求項 1 または 2 に記載のマイクロ発光素子。

【請求項 4】

上記マイクロ発光素子は、上記他のマイクロ発光素子と完全に分離されていることを特徴とする請求項 1 または 2 に記載のマイクロ発光素子。

30

【請求項 5】

上記第 1 電極は、上記マイクロ発光素子の周囲を覆っていることを特徴とする請求項 1 から 4 までの何れか 1 項に記載のマイクロ発光素子。

【請求項 6】

上記第 1 電極が、上記光射出面に達していることを特徴とする請求項 1 から 5 までの何れか 1 項に記載のマイクロ発光素子。

【請求項 7】

上記マイクロ発光素子は、発光ダイオードであり、

40

上記発光層を上記他のマイクロ発光素子の発光層と分割する分割溝の側壁が、上記発光層のなす面に対して、 $45^\circ \pm 10^\circ$ の範囲で傾斜していることを特徴とする請求項 1 から 6 までの何れか 1 項に記載のマイクロ発光素子。

【請求項 8】

上記マイクロ発光素子は、上記第 2 電極を複数有することを特徴とする請求項 1 から 7 までの何れか 1 項に記載のマイクロ発光素子。

【請求項 9】

上記マイクロ発光素子は、垂直共振器面発光レーザーのレーザーダイオード構造を有していることを特徴とする請求項 1 または 2 に記載のマイクロ発光素子。

【請求項 10】

50

請求項 1 から 9 までの何れか 1 項に記載のマイクロ発光素子が、駆動回路基板上に配置され、上記マイクロ発光素子の上記第 2 電極および上記第 1 電極のそれぞれが、上記駆動回路基板上の対応する第 2 駆動電極および第 1 駆動電極と接続されていることを特徴とする画像表示素子。

【請求項 1 1】

上記画像表示素子は、全面に化合物半導体が配置されていることを特徴とする請求項 1 0 に記載の画像表示素子。

【請求項 1 2】

上記化合物半導体の上記光射出面の上に、外部接続部が設けられていることを特徴とする請求項 1 0 または 1 1 に記載の画像表示素子。

【請求項 1 3】

上記画像表示素子は、上記マイクロ発光素子と上記駆動回路基板の接合面において、上記マイクロ発光素子側および上記駆動回路基板側の一方に、電極を配置した領域を有していることを特徴とする請求項 1 0 から 1 2 までの何れか 1 項に記載の画像表示素子。

【請求項 1 4】

成長基板上に、第 1 導電層、発光層、第 1 導電層と反対導電型の第 2 導電層を順に堆積し、化合物半導体を成長する工程と、

上記成長基板上において、上記化合物半導体の上記発光層をマイクロ発光素子毎に分割する分割溝を形成する工程と、

上記分割溝上に保護膜を堆積し、その表面を平坦化する工程と、

上記発光層上に上記第 2 導電層と接続する第 2 電極を形成し、上記分割溝上に上記第 1 導電層と接続する第 1 電極を形成する工程を含み、

上記第 2 電極および上記第 1 電極のそれぞれの表面は、平坦に形成されることを特徴とするマイクロ発光素子の形成方法。

【請求項 1 5】

請求項 1 4 に記載のマイクロ発光素子の形成方法によりマイクロ発光素子を形成する工程と、

上記マイクロ発光素子を駆動する駆動回路を半導体基板上に形成する工程と、

上記マイクロ発光素子を上記半導体基板の表面に貼合わせる工程と、

上記マイクロ発光素子の成長基板を除去する工程と、を含むことを特徴とする画像表示素子の形成方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、マイクロ発光素子、画像表示素子およびその形成方法に関する。

【背景技術】

【0 0 0 2】

駆動回路基板上に、画素を構成するマイクロ発光素子を複数備えた表示素子が提案されている。このような表示素子として、例えば、特許文献 1 にカラー画像を表示する小型の表示素子が開示されている。この表示素子では、シリコン基板上に駆動回路を形成し、その上に微小な紫外線発光ダイオード（LED：Light Emitting Diode）アレイを配置している。また、この表示素子では、紫外線発光ダイオードの上に、紫外光を赤色、緑色および青色の可視光へ変換する波長変換層を設けている。

【0 0 0 3】

このような表示素子は、小型でありながら、輝度が高く、耐久性も高いという特性を有している。このため、眼鏡型端末や、ヘッドアップディスプレイ（HUD）等の表示装置用の表示素子として期待されている。

【0 0 0 4】

また、このような表示素子では、駆動回路基板およびマイクロ発光素子の材料が異なり、両者を貼合わせる工程が必要となるため、種々の製造方法が提案されている（特許文献

10

20

30

40

50

1 および 2 参照)。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2002 - 141492 号公報 (2002 年 5 月 17 日公開)

【特許文献 2】米国特許第 2017 / 0069609 号明細書 (2017 年 3 月 9 日公開)

【発明の概要】

【発明が解決しようとする課題】

【0006】

10

しかしながら、上述の特許文献 1 および 2 に開示された構造または方法にてマイクロ発光素子および表示素子を生産する場合においては、下記のような課題が存在する。

【0007】

まず、上記マイクロ発光素子となる化合物半導体を駆動回路基板上に貼り付け、これらを電氣的に接続し、各マイクロ発光素子に電流を供給できるようにする必要がある。化合物半導体と駆動回路基板とを接続する際には、画素毎にはマイクロ発光素子の P 型電極と、対応する駆動回路基板上のアノード電極とを接続するだけで良い。

【0008】

しかしながら、マイクロ発光素子の N 型電極を駆動回路基板上のカソード電極にどのように、追加工程無しに、接続するかが課題である。特許文献 1 には、この点が開示されていない。また、特許文献 2 に記載の技術では、化合物半導体を駆動回路基板上に貼り付け、成長基板を剥離した後に、複雑な配線構造を形成する工程が必要である。

20

【0009】

このように化合物半導体上に配線を設ける構造は、配線による光の吸収や散乱によって、発光効率が低下する上に、製造工程が複雑となるため、微細化し難く、製造コストが増大するという課題がある。

【0010】

本発明の一態様は、上記の問題点に鑑みて為されたものであり、その目的は、発光効率の低下を抑制し、かつ製造コストを低減することができるマイクロ発光素子などを実現することにある。

30

【課題を解決するための手段】

【0011】

上記の課題を解決するために、本発明の一態様に係るマイクロ発光素子は、光射出面の側から順に、第 1 導電層、発光層、および上記第 1 導電層と反対の導電型を有する第 2 導電層を積層した化合物半導体を備えたマイクロ発光素子であって、上記光射出面と対向する他方の面に、上記第 1 導電層と接続する第 1 電極と、上記第 2 導電層と接続する第 2 電極とが配置されており、上記第 2 電極は上記発光層上に配置され、上記第 1 電極は、上記発光層と、他のマイクロ発光素子の発光層とを分割する境界の領域である分割領域に配置されており、上記第 1 電極の上記他方の面側の表面と上記第 2 電極の上記他方の面側の表面とが同一平面上にあり、上記第 1 電極と上記第 2 電極とは共に単一の配線層よりなる構成である。

40

上記の課題を解決するために、本発明の一態様に係るマイクロ発光素子は、光射出面の側から順に、第 1 導電層、発光層、および上記第 1 導電層と反対の導電型を有する第 2 導電層を積層した化合物半導体を備えたマイクロ発光素子であって、上記光射出面と対向する他方の面に、上記第 1 導電層と接続する第 1 電極と、上記第 2 導電層と接続する第 2 電極とが配置されており、上記第 2 電極は上記発光層上に配置され、上記第 1 電極は、上記発光層と、他のマイクロ発光素子の発光層とを分割する境界の領域である分割領域に配置されており、上記第 1 電極の上記他方の面側の表面と上記第 2 電極の上記他方の面側の表面とが同一平面上にあり、上記第 1 電極は、上記光射出面側に第 1 の金属材料を配置し、上記他方の面側に第 2 の金属材料を配置しており、上記第 1 の金属材料は、上記第 2 の金属材料に比

50

べて、反射率が高い構成である。

【発明の効果】

【0012】

本発明の一態様に係るマイクロ発光素子によれば、発光効率の低下を抑制し、かつ製造コストを低減することができるという効果を奏する。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態1に係る画像表示素子の構造を示す断面模式図である。

【図2】本発明の実施形態1に係るマイクロ発光素子を光射出側から見たときの平面模式図である。

10

【図3】本発明の実施形態1に係るマイクロ発光素子の製造工程を示す断面模式図である。

【図4】本発明の実施形態1に係る画像表示素子の製造工程を示す断面模式図である。

【図5】本発明の実施形態1に係る画像表示素子の上面図である。

【図6】本発明の実施形態1の変形例に係るマイクロ発光素子を光射出側から見たときの平面模式図である。

【図7】本発明の実施形態1の変形例に係るマイクロ発光素子を光射出側から見たときの平面模式図である。

【図8】本発明の実施形態2に係るマイクロ発光素子の製造工程を示す断面模式図である。

20

【図9】本発明の実施形態2に係る画像表示素子の構造を示す断面模式図である。

【図10】本発明の実施形態3に係るマイクロ発光素子の製造工程を示す断面模式図である。

【図11】本発明の実施形態3に係るマイクロ発光素子の製造工程を示す断面模式図である。

【図12】本発明の実施形態4に係るマイクロ発光素子の製造工程を示す断面模式図である。

【図13】本発明の実施形態5に係るマイクロ発光素子の製造工程を示す断面模式図である。

【図14】本発明の実施形態5に係るマイクロ発光素子の上面図である。

30

【図15】本発明の実施形態6に係るマイクロ発光素子の製造工程を示す断面模式図である。

【図16】本発明の実施形態6に係るマイクロ発光素子の製造工程を示す断面模式図である。

【図17】本発明の実施形態6に係るマイクロ発光素子の製造工程を示す表面模式図である。

【発明を実施するための形態】

【0014】

〔画像表示素子200の構造の概要〕

以下に、複数のマイクロ発光素子100を光源として搭載する画像表示素子200を例に挙げ、図面を参照して本発明の実施形態を説明する。なお、画像表示素子200は、複数のマイクロ発光素子100を画素領域1に有している。また、画像表示素子200は、マイクロ発光素子100に電流を供給し、発光させるための駆動回路基板50を備えている。マイクロ発光素子100の発する光は、駆動回路基板50とは反対側に射出される。

40

【0015】

マイクロ発光素子100の光の射出側に、波長変換層、光拡散層、カラーフィルター、およびマイクロレンズ等を配置しても良いが、本発明とは直接関係しないため、図中には記載しない。

【0016】

駆動回路基板50は、マイクロ発光素子駆動回路、行選択回路、列信号出力回路、画像

50

処理回路および入出力回路などにより構成されている。マイクロ発光素子駆動回路は、各マイクロ発光素子 100 に供給する電流を制御する。また、行選択回路は、2次元マトリックス状に配置されたマイクロ発光素子 100 の各行を選択する。また、列信号出力回路は、マイクロ発光素子 100 の各列に発光信号を出力する。また、画像処理回路は、入力信号に基づいて発光信号を算出する。

【0017】

駆動回路基板 50 の接合面側の表面には、マイクロ発光素子 100 と接続するための P 側電極 51 (第 2 駆動電極) および N 側電極 52 (第 1 駆動電極) が配置されている。P 側電極 51 および N 側電極 52 の表面は平坦に構成されている。

【0018】

駆動回路基板 50 は、一般的には、LSI (Large-Scale Integrated circuit) が形成されたシリコン基板 (半導体基板) であり、公知の技術で製造できるため、その機能および構成に関しては詳述しない。

【0019】

なお、マイクロ発光素子 100 の基板面に沿う断面は、矩形、多角形、円形、および楕円形など種々の平面形状を取り得るが、基板面に沿う方向の最大長さが、60 μm 以下を想定している。

【0020】

また、画像表示素子 200 は、画素領域 1 に、3 千個以上のマイクロ発光素子 100 を集積していることを想定している。

【0021】

マイクロ発光素子 100 は発光体として化合物半導体 14 を含み、一般に N 側層 11 (第 1 導電層)、発光層 12、および P 側層 13 (第 2 導電層) がそれぞれこの順で積層されている。

【0022】

化合物半導体 14 は、例えば、紫外から緑色までの波長帯で発光するマイクロ LED 素子では、窒化物半導体 (AlInGa N 系) である。また、化合物半導体 14 は、黄緑色から赤色までの波長帯で発光する場合は、AlInGa P 系である。さらに、化合物半導体 14 は、赤色から赤外の波長帯では、AlGaAs 系や GaAs 系である。

【0023】

以下では、マイクロ発光素子 100 を構成する化合物半導体 14 について、光射出側に N 側層 11 を配置する構成について専ら説明する。しかしながら、化合物半導体 14 は、P 側層 13 を光射出側に配置する構成も可能である。

【0024】

N 側層 11、発光層 12、および P 側層 13 のそれぞれは、通常、単層では無く複数の層を含んで最適化されているが、本発明とは直接関係しないので、各層の詳細な構造は記載しない。通常、発光層は N 型層と P 型層とに挟まれているが、N 型層や P 型層が、ノンドープ層や、場合によっては導電性が逆のドーパントを有する層を含む場合もあり得るため、以下では N 側層、および P 側層と記載する。

【0025】

以下の実施形態に関する説明では、主に 1 個の画像表示素子 200、あるいはその一部について説明するが、画像表示素子 200 の製造工程においては、複数の画像表示素子 200 が配置されたウエハ単位で処理され、最終的に画像表示素子 200 毎に分割されることで、完成される。

【0026】

〔実施形態 1〕

図 1 に示すように、画像表示素子 200 は、光を発するマイクロ発光素子 100 が、駆動回路基板 50 に、平坦な接合面 (太い破線で示している) で貼合わせられた構成である。マイクロ発光素子 100 は、分割溝 15 によって発光層 12 が分割されている。画素領域 1 における発光層 12 が残された領域には、P 側層 13 と接続する P 電極 19P (第 2

10

20

30

40

50

電極)が配置されている。また、画素領域1における分割溝15の領域(分割領域)には、N側層11と接続するN電極19N(第1電極)が配置されている。

【0027】

P電極19PとN電極19Nとは、後述するように、同一工程によって同時に形成されるため、形状、大きさ、および深さは異なるが、材料としては、同構造の配線材料によって構成されている。通常配線材料は、バリアメタル層や、主な導電層、キャップ層等の複数層よりなる積層構造を有するが、P電極19PとN電極19Nとは同一の積層構造を有している。すなわち、画像表示素子200はマイクロ発光素子100側においては、単一の配線層により構成されている。

【0028】

本実施形態の構成ではN側層11とオーミック接続する金属材料によって、P電極19PとN電極19Nとを構成しているため、P側層13とのオーミック接続はP電極層10を介して行われる。P電極層10は、例えば、化合物半導体14が窒化物半導体の場合には、透明電極であるITO(Indium-Tin-Oxide、インジウム錫酸化物)やパラジウム(Pd)等の良導体である。P電極層10は、必ずしも連続した薄膜である必要は無く、例えばパラジウムナノパーティクルを分散配置した構造であっても良い。

【0029】

マイクロ発光素子100の分割溝15は保護膜17で埋め込まれており、保護膜17の接合面側の表面(第2面)は平坦である。P電極19PとN電極19Nとは、接合面側に形成されており、その表面は、保護膜17の表面とほぼ同じ高さの平面に構成されている。

【0030】

また、駆動回路基板50側の絶縁膜55の接合面側の表面も平坦であり、P側電極51の表面とN側電極52の表面とは、絶縁膜55の表面とほぼ同じ高さの平面に構成されている。P電極19PおよびN電極19Nは、それぞれ、駆動回路基板50側のP側電極51およびN側電極52と接続されている。

【0031】

保護膜17の表面と、P電極19PおよびN電極19Nの表面とには、微視的に見れば多少の高低差が存在し得るが、貼合わせの際に、対向する駆動回路基板50側のP側電極51とN側電極52と接続できる程度の高低差よりは、少なく制御される必要がある。駆動回路基板50側の、絶縁膜55の表面と、P側電極51およびN側電極52の表面との高低差に関しても同様である。

【0032】

通常、P電極19PおよびN電極19Nの表面層と、P側電極51およびN側電極52の表面層は同一材料であり、例えば、金(Au)、銅(Cu)、およびニッケル(Ni)などである。

【0033】

マイクロ発光素子100は、接合面側から見ると、一般に2次元アレイ状に配置されている。図2の(b)に示すように、マイクロ発光素子100の中央部にはP電極19Pが配置され、境界部にはN電極19Nが配置されている。N電極19Nの下部には、図2の(a)に示すように、分割溝15が存在する。なお、図1は、図2の(b)のA-A断面を示している。また、図2の(a)は、分割溝15を形成後(図3の(b)の状態)の表面を示している。さらに、図2の(b)は、P電極19PおよびN電極19Nを形成後(図3の(e)の状態)の表面を示している。

【0034】

画像表示素子200の製造工程では、図1に示すような、画像表示素子毎では無く、駆動回路基板50が複数配置されたウエハと、多数のマイクロ発光素子100を配置したウエハとを、互いに貼合わせることで、複数の画像表示素子200を一度に製造することができる。

【0035】

このようにウエハ同士で貼合わせることにより、ダスト発生を少なくし、高い歩留りを実現できる。

【0036】

さらに、ウエハ同士を貼合わせた時点で、マイクロ発光素子100と駆動回路基板50との電流経路が完成するため、貼り合せ後に、光射出面(第1面)に配線を形成する必要が無い。これにより、光射出面の配線による光吸収による発光効率の低下を防止できる上に、画像表示素子200の製造工程を簡略化できる。また、マイクロ発光素子100単位で駆動回路と接続できるため、マイクロ発光素子100毎に配線抵抗が異なるという問題も発生しない。

【0037】

次に、マイクロ発光素子100の製造工程を、図3を用いて説明する。図3の(a)に示すように、成長基板9上にN側層11、発光層12およびP側層13よりなる化合物半導体を順次積層し、さらにP電極層10を堆積する。

【0038】

次に、図3の(b)に示すように、P電極層10、P側層13、発光層12、およびN側層11の一部をエッチングして、分割溝15を形成する。このとき、発光層12を含む部分がメサ16となる。

【0039】

図2の(a)に示すように、分割溝15は、縦、横方向に等間隔で配置され、メサ16は四角錐台の形状となる。但し、メサ16の形状は四角錐台に限らず、円錐台や、他の多角形錐台でも構わない。

【0040】

メサ16の側壁は、発光層12が成す面に対して、45度±10度に傾斜していることが好ましい。発光層12から発する光の内、発光層12と平行方向に進む光の割合が最も多い。このため、このような光を、光射出面の方向に反射することで、マイクロ発光素子100の光取出し効率を高めることができる。

【0041】

メサ16の側壁が垂直である場合には、水平方向に射出された光は、反射を繰り返し、外部に射出されない。メサ16の側壁の傾斜が45度から大きくずれると、光射出面に入射する際の入射角度が大きくなりすぎて、光射出面で全反射を生じ、やはり外部に射出されない。

【0042】

次に、図3の(c)に示すように、保護膜17を堆積し、表面をCMP研磨(Chemical-Mechanical-Polishing)することで、平坦化する。保護膜17は絶縁膜であり、例えば、 SiO_2 や SiN 、 SiON 、あるいは、これらの膜の積層膜である。保護膜17の成膜は、CVD法(Chemical Vapor Deposition、化学的気相成長法)、スパッタ法、および塗布など、種々の成膜技術を用いることができる。

【0043】

次に、図3の(d)に示すように、メサ16上にP溝18Pを形成し、分割溝15上にN溝18Nを形成する。P溝18Pはホール形状であり、P電極層10に達する。N溝18Nは縦横両方向に走る溝状であり、分割溝15の底部のN側層11に達する。

【0044】

さらに、図3の(e)に示すように、ダマシン法によって、P溝18PおよびN溝18Nを金属膜で埋め込み、P電極19PおよびN電極19Nを形成する。金属膜は、例えば、タンタル(Ta)、タングステン(W)、および窒化チタン(TiN)等のバリア膜と銅との組合せである。金あるいはニッケル等と、対応するバリア膜との組合せでも良い。ダマシン法では、溝を有する下地構造に、金属薄膜を堆積し、CMP研磨することで、溝内に金属薄膜を残すことができ、表面は平坦となる。

【0045】

ここで、ダマシン法とは、LSIの金属配線形成法の一つで、メッキ技術とリフトオフ

10

20

30

40

50

法を併用した薄膜形成技術のことである。絶縁層に微細な金属配線層を埋め込む象嵌 (damascene) 的手法からダマシン法と称される。銅 (Cu) 配線に注目した方法で、層間絶縁膜中に配線形状の溝を形成し、銅などの金属を埋め込む。配線法には二つあり、一つは「シングルダマシン配線法」といい、接続孔に金属のコンタクトプラグを形成した後に配線溝を形成する方法である。もう一つは「デュアルダマシン配線法」といい、接続孔および配線溝を形成した後、金属を一度に埋め込む方法である。ダマシン法は、多層配線層を平坦にするCMP技術と組み合わせて用いられる。図3の工程はシングルダマシン法である。

【0046】

以上のようにして、メサ16上にP電極19Pを配置し、分割溝15上にN電極19Nを配置し、P電極19PおよびN電極19Nが共に、接合面となる表面 (同一平面上) に配置され、その表面は同一材料で平坦に構成される。

【0047】

本実施形態の構成は、配線層が1層で構成されており、かつ、分割溝15とメサ16の形成と、P溝18PとN溝18Nの形成の、2段階のフォトリソグラフィ工程で形成できる。このため、マイクロ発光素子100を非常に簡略な製造工程で作製でき、設備投資を削減し、製造コストを大幅に低減することができる。

【0048】

ここで、フォトリソグラフィとは、感光性の物質を塗布した物質の表面を、パターン状に露光することで、露光された部分と露光されていない部分からなるパターンを生成する技術のことである。

【0049】

次に、画像表示素子200の製造工程を、図4を用いて説明する。図4の(a)に示すように、マイクロ発光素子100が図3の工程を経て形成される。図4の(a)は、図3の(e)に示す構成を上下反転したものである。

【0050】

また、図4の(b)に示すように、駆動回路基板50が製造される。駆動回路基板50は、例えば、単結晶シリコン基板 (ウエハ) 上に、通常のCMOS (Complementary metal-oxide semiconductor) プロセスによって形成される。

【0051】

ここで、マイクロ発光素子100と駆動回路基板50とは、いずれもウエハ状態であることが好ましい。例えば、マイクロ発光素子100側が、画像表示素子200単位で個片化されていると、個片化の工程で多量のダストが発生するため、貼合わせの工程で接合面にダストが付着し、接合歩留りが著しく低下するという問題が発生する。マイクロ発光素子100と駆動回路基板50とがウエハ同士であれば、このような問題が発生しない。

【0052】

また、マイクロ発光素子100および駆動回路基板50の両ウエハは同一材料であることが、さらに好ましい。これは、貼合わせの際に、加熱が必要な場合があり、両ウエハ材料が同一であれば、熱膨張係数の差によるパターンずれを抑制できるからである。さらに、両者のウエハは同サイズであることが好ましい。同サイズで無いと、大きいウエハ側に、使用されない無駄な領域が発生するためである。

【0053】

次に、図4の(c)に示すように、マイクロ発光素子100と駆動回路基板50とを貼合わせる。その際、P電極19PおよびN電極19Nは、それぞれ、対応するP側電極51およびN側電極52と重なるように、精密にアライメントされる。接合面の材料に合わせて、表面のプラズマクリーニングや、イオン照射による活性化や、加熱、加圧によって、2枚のウエハが貼り合わされる。

【0054】

そして、図4の(d)に示すように、マイクロ発光素子100の成長基板9が除去される。成長基板9の除去には、研削、研磨、プラズマエッチング、ウェットエッチング、犠

10

20

30

40

50

性層のウェットエッチング、およびレーザーリフトオフなど、種々の手法を用いることができる。

【 0 0 5 5 】

以上の工程により、駆動回路基板 5 0 の上に、化合物半導体 1 4 よりなるマイクロ発光素子 1 0 0 を配列して構造が完成する。この状態で、マイクロ発光素子 1 0 0 と駆動回路基板 5 0 の駆動回路とは、電氣的に接続が完了しており、光射出面に配線層を設ける必要が無い。

【 0 0 5 6 】

次に、画像表示素子 2 0 0 の平面図を図 5 の (a) に示す。画像表示素子 2 0 0 の内、発光して実際に画像を表示する部分が画素領域 1 である。これまでの説明は、主に画素領域 1 を対象とした説明である。

10

【 0 0 5 7 】

画像表示素子 2 0 0 には画素領域 1 以外に、発光しない領域であるダミー領域 2 や、複数の外部接続領域 3 や、画像表示素子 2 0 0 を個別に切り離すスクライプ部 4 などが存在する。ダミー領域 2 においては、駆動回路基板 5 0 にはマイクロ発光素子駆動回路以外の、行選択回路、列信号出力回路、画像処理回路および入出力回路等の回路が配置されている。

【 0 0 5 8 】

本実施形態の構成では、これらの全ての領域において、化合物半導体 1 4 が駆動回路基板 5 0 上に貼り付けられている。このため、画像表示素子 2 0 0 の光射出面側の表面は平坦であり、蛍光体や量子ドットによる波長変換用のパターンやカラーフィルター、マイクロレンズ等を形成する工程を容易に実施することができる。画素領域 1 以外の領域においても、化合物半導体 1 4 と駆動回路基板 5 0 との接続を保つ必要があるため、原則的には化合物半導体 1 4 側と駆動回路基板 5 0 側との接合面は、同種の材料で対向しなければならない。

20

【 0 0 5 9 】

ダミー領域 2 は、接合面を通じて電流経路を設ける必要が無いため、絶縁膜同士を対向させることができる。すなわち、ダミー領域 2 には電極を設けないことも可能である。また、駆動回路基板 5 0 の誤動作を避けるために、駆動回路基板 5 0 への光の入射を抑える必要がある場合には、電極を密集させることもできる。あるいは、ダミー領域 2 内に、マイクロ発光素子 1 0 0 と同構造を形成し、光センサとして使用することが可能であり、このような場合には、画素領域 1 と同様の構造が配置される。

30

【 0 0 6 0 】

図 5 の (b) の断面図に示すように、外部接続領域 3 には、化合物半導体 1 4 の光射出面側に外部接続部 5 4 が設けられている。外部接続部 5 4 は、画像表示素子 2 0 0 に画像信号や制御信号、電源等を供給する。外部接続部 5 4 の一例としては、ワイヤーボンディングパッドである。

【 0 0 6 1 】

外部接続部 5 4 は、N 電極 1 9 N と同時に形成される外部接続電極 1 9 O を介して、駆動回路基板 5 0 側の対応する電極に接続される。外部接続電極 1 9 O は、N 電極 1 9 N と同様の細い柱を多数並べても良いし、太い柱状の形状に構成しても良い。本実施形態の構成では外部接続電極 1 9 O と外部接続部 5 4 の間には、化合物半導体 1 4 の N 側層 1 1 が存在する。この N 側層 1 1 による抵抗増加が問題となる場合には、外部接続領域 3 において、化合物半導体 1 4 の光射出面をエッチングし、外部接続電極 1 9 O を露出させることも可能である。

40

【 0 0 6 2 】

次に、図 5 の (c) の断面図に示すように、スクライプ部 4 では、駆動回路基板 5 0 側には、P 側電極 5 1 や N 側電極 5 2 の様な電極パターンが配置されているが、化合物半導体 1 4 側には、対応する P 電極や N 電極が配置されていない。このように、一方に電極を配置し、他方に電極を配置しないことで、この領域での接合力を弱めることができる。ス

50

クライブライン（スクライプ部４）では切断を容易にするために、駆動回路基板５０と化合物半導体１４との接合が弱い方が好ましい場合があり得る。このような限られた面積の領域に関しては、一方に電極を配置し、対応する他方の面には絶縁膜を配置するという構成を配置することも可能である。

【００６３】

スクライプ部４に限らず、化合物半導体１４を除去する可能性のある領域に対して、同様の構成を採用することができる。また、レーザー溶断ヒューズを駆動回路基板５０上に配置する場合、化合物半導体１４側に電極を配置せず、駆動回路基板５０側に電極を配置することができる。

【００６４】

10

〔実施形態１の変形例〕

実施形態１では、マイクロ発光素子１００は１種類で有り、単色の表示素子であった。しかしながら、図６の（ａ）に示すように、画素５を青サブ画素６、赤サブ画素７、および緑サブ画素８より構成し、フルカラーの表示素子を形成することができる。各サブ画素はそれぞれ個別のマイクロ発光素子を有している。各サブ画素は、それぞれ青色光、赤色光、および緑色光を発光するマイクロ発光素子で構成しても良いし、青色光を発光するマイクロ発光素子と、波長変換層とを組み合わせ、赤色発光または緑色発光させても良い。

【００６５】

図６の（ａ）では各サブ画素の周囲を分割溝１５で囲み、全ての分割溝１５上にＮ電極１９Ｎを配置している。しかしながら、図６の（ｂ）に示すように、各サブ画素の周囲を分割溝１５で囲うものの、Ｎ電極１９Ｎを画素５の周囲を覆うように配置することも可能である。このようにする場合には、画素５内のサブ画素間にＮ電極１９Ｎを配置する必要が無いので、サブ画素間の分割溝１５を狭くすることができる。その結果、サブ画素のメサ１６の幅を広くすることで、発光層１２の面積を広げ、発光層１２に流れる電流密度を下げ、発光効率を向上させることができる。

20

【００６６】

さらに、図６の（ｃ）に示すように、Ｎ電極１９Ｎを画素５の境界の一方向のみに配置することもできるし、図６の（ｄ）に示すように、画素５の四つ角にＮ電極１９Ｎをドット状に配置することもできる。いずれも、図６の（ｂ）と同様の効果を有し、Ｎ電極１９Ｎの配置量が少なくなるに従い、発光効率を向上するという効果が大きくなる。このように、Ｎ電極１９Ｎは分割溝１５上に配置されるが、必ずしも分割溝１５の全領域に配置する必要はない。画素５間での光出力バラツキを均一にするためには、画素５間で配線抵抗は均一である必要が有るため、Ｎ電極１９Ｎは少なくとも、画素５毎に設けられることが好ましい。従って、図６（ｄ）に示すように、画素５の四つ角にＮ電極１９Ｎを配置する構成が最も好ましい。サブ画素の形状は図６の（ａ）に示す形状に限定されず、例えば、図７の（ａ）に示すような形状でも良い。

30

【００６７】

これまでの例では、Ｐ電極１９Ｐはマイクロ発光素子１００に対して、１個が配置されていたが、必ずしも１個に限定されない。例えば、図７の（ｂ）に示すように、Ｐ電極１１９Ｐ１とＰ電極２１９Ｐ２との２個を配置しても良い。Ｐ電極１１９Ｐ１とＰ電極２１９Ｐ２とを設けることで、一方が導通不良となった場合に他方で代替えするといった冗長機能を実現することができる。なお、ここで、冗長機能とは、システムの一部に何らかの障害が発生した場合に備えて、障害発生後でもシステム全体の機能を維持し続けられるように、予備装置を平常時からバックアップとして配置し運用しておくことを意味する。

40

【００６８】

また、図７の（ｃ）に示すように、Ｐ電極層もＰ電極１１０－１とＰ電極２１０－２とに分割することで、実質的にマイクロ発光素子１００を２個に分割することができる。Ｐ電極１１９Ｐ１側が不良となった場合に、Ｐ電極２１９Ｐ２を用いることで、電

50

極の導通不良だけでなく、マイクロ発光素子 100 に対しても、冗長機能を実現できる。

【0069】

この冗長機能を実現するためには、駆動回路基板 50 側に、マイクロ発光素子 100 毎に、不良の有無を記憶し、動作時には正常な側の P 電極を選択する機能を持たせる必要があり、コスト増加要因となるが、一般的には、冗長による歩留り向上によるコスト削減効果の方が大きく、このような冗長機能は有効である。

【0070】

なお、この場合には、P 電極層 10 のパターンとメサ 16 のパターンとが異なるため、フォトリソグラフィ工程が 1 工程増える可能性がある。しかしながら、工程増によるコストアップと、冗長機能による歩留り向上によるコストダウンのトレードオフで、P 電極の分割と、P 電極層の分割との何れを優先するかを決定することができる。以上のように、P 電極は発光層 12 を有するメサ 16 上に配置されるが、必ずしも 1 個に限定される訳では無く、複数を配置する場合があります。

10

【0071】

〔実施形態 2〕

本実施形態は、マイクロ発光素子 100 a 同士を分離する分離溝 20 が加わった点が実施形態 1 と異なる。分離溝 20 がマイクロ発光素子 100 a の周囲を覆い、マイクロ発光素子 100 a から隣接マイクロ発光素子への光の漏洩を防止することで、コントラストの低下を防止することができる。

20

【0072】

本実施形態のマイクロ発光素子 100 a の製造工程を、図 8 を用いて説明する。図 8 の (a) および (b) は、それぞれ図 3 の (a) および (b) と同じである。次に、図 8 の (c) に示すように、分離溝 20 を分割溝 15 の底部に形成する。これにより、各マイクロ発光素子 100 a は分離される。

【0073】

次に、図 8 の (d) に示すように、分割溝 15 と分離溝 20 を保護膜 17 で埋め、表面を CMP 研磨によって、平坦化する。次に、図 3 の (d) および (e) と同様に、P 溝 18 P と N 溝 18 Na を形成し、P 電極 19 P と N 電極 19 Na をダマシン法で形成する。N 電極 19 Na と N 側層 11 の接続は、分離溝 20 を形成した際にできる N 側層 11 の側壁において行われる。

30

【0074】

マイクロ発光素子 100 a が形成されたウエハと、駆動回路基板 50 が形成されたウエハとを貼合させて、画像表示素子 200 a を形成する工程は実施形態 1 と同様である。このようにして形成された画像表示素子 200 a の断面図を図 9 に示す。図 9 では発光するマイクロ発光素子 100 a が存在する画素領域 1 以外に、外部接続領域 3 およびスクライプ部 4 についても、断面図を示した。

【0075】

本実施形態においても、実施形態 1 と同様に、マイクロ発光素子 100 a の P 電極 19 P と N 電極 19 Na は同一の配線層によって構成されており、1 層の配線層のみを有する単純な構成であり、簡略な製造工程によって製造することができる。

40

【0076】

さらに、画素領域 1 に関しては、N 電極を構成する金属材料がマイクロ発光素子 100 a の周囲を覆っている。これにより、マイクロ発光素子 100 a から発した光が、隣接のマイクロ発光素子 100 a へ漏洩することを防止し、コントラストを高めることができる。それ以外の点は実施形態 1 と類似であり、実施形態 1 と同様に、貼合させた時点で、マイクロ発光素子 100 a と駆動回路基板 50 との電流経路が完成するため、貼り合せ後に、光射出面に配線を形成する必要が無い。

【0077】

これにより、光射出面の配線による光吸収による発光効率の低下を防止できると共に、画像表示素子 200 a の製造工程を簡略化できる。また、マイクロ発光素子 100 a 単位

50

で駆動回路と接続できるため、マイクロ発光素子 100 毎に配線抵抗が異なるという問題も発生しない。また、製造工程としては、画像表示素子 200a の駆動回路が複数配置されたウエハと、多数のマイクロ発光素子 100a を配置したウエハとを、互いに貼合わせることで、多数の画像表示素子 200a を一度に製造することができ、ウエハレベルで貼合わせるため、ダスト発生が少なく、高い歩留りを実現できる。

【0078】

図 9 の外部接続領域 3 に示すように、本実施形態の構成では N 電極 19N が化合物半導体 14 の光射出面まで達している。このため、同時に形成する外部接続電極 19O も化合物半導体 14 の光射出面に露出させることができる。

【0079】

外部接続電極 19O は、図 9 に示すように、太い柱状の形状をしていても良いし、細い柱を多数並べても良く、N 電極 19Na と同一工程で形成することができる。外部接続電極 19O の上に外部接続部 54 を設けることで、画像表示素子 200a の入出力部を形成することができる。外部接続部 54 は例えば、ワイヤーボンド用のパッドや、金バンプなどでも良い。このように、本実施形態の構成によれば、低抵抗の外部接続部 54 を容易に配置することができる。

【0080】

図 9 のスクライプ部 4 では、実施形態 1 とは異なり、駆動回路基板 50 側にも、化合物半導体 14 側にも金属電極を配置していない。これは、レーザーダイシングによって画像表示素子 200 を相互に分断する場合には、金属電極が無い方が好ましいためである。このようなスクライプ部 4 を実施形態 1 と組み合わせることも可能である。

【0081】

〔実施形態 3〕

本実施形態は、マイクロ発光素子 100b が金属材料で囲われている点は実施形態 2 と類似であるが、金属材料の構成が異なる。図 10 にマイクロ発光素子 100b の製造工程を示す。図 10 の (a) ~ (c) は、それぞれ図 3 の (a) ~ (c) と類似である。但し、P 電極層 10 を省略している。

【0082】

図 10 の (d) において、保護膜 17 をエッチングし、次に、N 側層 11 をエッチングして、N 溝 18Nb を形成する。その後、図 10 の (e) に示すように、N 溝 18Nb の下部に、N 側コンタクト電極 21 を形成する。

【0083】

N 側コンタクト電極 21 はアルミニウムのように、N 側層 11 と接して、反射率が高い金属材料が好ましい。貼合わせの際に用いられる電極は、金、銅、ニッケル等の材料が一般的であるが、このような材料は、例えば窒化物半導体と接した際に、その界面での光反射率は 40% ~ 60% であり、約半分の光が金属材料に吸収される。これに対して、アルミニウムや銀のような材料は、反射率が 80% 以上あり、光吸収が比較的少ない。従って、実施形態 2 に対して、本実施形態の構成は光出力を向上させることができる。

【0084】

図 10 の (e) のような N 溝 18Nb の下部に金属材を埋め込み、上部を開口する構造は、例えばフロースパッタ法や、CVD 法で金属材料を埋め込み、表面をドライエッチバックすることで、形成することができる。

【0085】

次に、図の 11 (a) に示すように、P 溝 18P を形成し、さらに図 11 の (b) に示すように P 電極 19P や N 電極 19N を形成する。P 電極 19P や N 電極 19N の主材料は、実施形態 1 や実施形態 2 と同じであるが、本実施形態では、P 側層 13 と直接接続するために、最下部の金属層は変更される。例えば、窒化物半導体では、パラジウム (Pd) を配置し、その上にバリアメタル層を配置することが好ましい。このように、本実施形態の構成では N 側層 11 と接続する N 側コンタクト電極 21 が設けられているために、工程削減のために、P 電極層 10 を省略したが、必ずしも省略しなくても良い。

10

20

30

40

50

【0086】

以上のようにして、メサ16上にP電極19P、分割溝15上にN電極19Nを配置し、P電極19P、N電極19N共に、接合面となる表面に配置され、その表面は同一材料で平坦に構成さる。N電極19Nは、材料が異なる2層の配線より構成され、光射出面側のN側層11と接触する側には、光反射率が高い材料により構成された配線が配置されている。

【0087】

マイクロ発光素子100bを用いて、実施形態2と同様に画像表示素子200bを構成することができる。そして、実施形態2と同様の効果を実現できる。さらに、N電極19Nを材料の異なる2層の配線より構成し、光射出面側のN側層11と接触する側に、光反射率が高い材料により構成された配線を配置することで、実施形態2に対し、光出力を向上させることができる。

10

【0088】

〔実施形態4〕

本実施形態では、マイクロ発光素子100cがVCSEL (Vertical Cavity Surface Emitting LASER; 垂直共振器面発光レーザー) タイプのマイクロレーザー素子である点が異なる。マイクロLED素子に比べて、発光波長のスペクトルが狭く、指向性の高い表示が可能である。

【0089】

マイクロ発光素子100cの製造方法の一例について、図12を参照して以下に説明する。図12の(a)~(e)は、それぞれ、マイクロ発光素子100cの製造工程を示す断面図である。

20

【0090】

図12の(a)に示すように、成長基板9上に第1反射層43、N側層11c、発光層12およびP側層13をこの順番で堆積することによって化合物半導体14cを形成する。

【0091】

第1反射層43は、発振波長の光を反射するDBR (Distributed Bragg Reflector) である。窒化物半導体を用いて青色光を発光する場合には、第1反射層42は、 $Al_xGa_{(1-x)}N$ 層およびGa_{0.45}N層のペアを複数層重ねることで形成することができる。例えば、Ga_{0.45}N層厚46nm、 $Al_xGa_{(1-x)}N$ 層47nm、計93nm厚のGa_{0.45}N/ $Al_xGa_{(1-x)}N$ ペアを20層含み、総厚は1.8μm程度である。

30

【0092】

化合物半導体14cの上に、さらに、透明電極層44と第2反射層45とを堆積する。透明電極層44は、ITO (インジウム・錫・酸化物) 等の電極層であり、厚さは50nmから600nm程度である。第2反射層45は誘電体多層膜からなるDBRである。例えば、TiO₂薄膜 (厚さ36nm) とSiO₂薄膜 (厚さ77nm) のペアを10層、全体厚は1.1μm程度である。青色光に対する第2反射層45の反射率は、第1反射層42の反射率より高い。

【0093】

図12の(b)に示すように、第2反射層45を積層した後、フォトリソグラフィ技術およびドライエッチング技術によって、分割溝15を形成する。分割溝15は、第2反射層45、透明電極層44、P側層13、発光層12、およびN側層11の一部をエッチングする。分割溝15の側面は、実施形態1のように、大きく傾斜させる必要はない。レーザー素子では水平方向に発光しないために、垂直方向に反射する必要が無いためである。

40

【0094】

次に、図12の(c)に示すように、分割溝15を保護膜17で埋め、表面を平坦化する。さらに、図12の(d)に示すように、N溝18NとP溝18Pcを形成する。N溝18Nは、保護膜17をエッチングして、分割溝15の底部のN側層11cに達する。P溝18Pcは保護膜17と第2反射層45をエッチングして、透明電極層44に達する。

50

【0095】

次に、図12の(e)に示すように、P電極19PcとN電極19Nを形成する。ここで、P電極19Pは発光層の上に形成されているが、発光層12が存在する領域に対して、その中心では無く、外周部に配置されることが好ましい。P電極19Pcは第2反射層45を貫通するため、レーザー素子の発光を阻害するためである。

【0096】

以上のようにして、発光層12上にP電極19Pc、分割溝15上にN電極19Nを配置し、P電極19Pc、N電極19N共に、単一の配線層によって構成され、接合面となる表面に配置され、その表面は同一材料で平坦に構成されている。マイクロ発光素子100cを用いて、実施形態1と同様に画像表示素子200cを構成することができる。そして、実施形態1と同様の効果を実現できる。さらに、本実施形態では、実施形態1に対し、発光波長のスペクトル幅を狭め、指向性が高くすることができる。

10

【0097】

〔実施形態5〕

本実施形態は、分離溝20によって、マイクロ発光素子100dが完全に分離されていない点と、マイクロ発光素子100dのN側層側壁を金属層が直接覆っていない点において、実施形態2と異なる。

【0098】

本実施形態のマイクロ発光素子100dの構造と製造工程を図13、図14を用いて説明する。図13の(a)および(b)は、それぞれ実施形態2における図8の(a)および(b)と同じである。

20

【0099】

次に、分離溝20を形成するが、図8の(c)と異なり、完全にマイクロ発光素子を分離するのではなく、一部に残留N部22を残している。この状態の平面図が図の14(a)であり、各サブ画素を構成するマイクロ発光素子100dの四つ角の内、2か所の間に、残留N部22が配置されている。

【0100】

なお、図の14(a)のD-D部分の断面図が、図13の(c)である。残留N部22は、N側層11とN電極19Nとを接続する部位であり、その配置は図14の(a)の位置に限定する必要は無く、マイクロ発光素子100dの辺の中央でも構わない。

30

【0101】

次に、図13の(d)に示すように、保護膜23を全面に堆積する。この工程は、分離溝20を完全に埋め込むのではなく、ギャップ26のように、溝が埋め残されるように、分離溝20の幅と、保護膜23の厚さを選ぶことが好ましい。この工程は、CMPによる平坦化も必要無く、簡略な工程である。

【0102】

次に、図13の(e)に示すように、保護膜23にPコンタクトホール24PとNコンタクトホール24Nを形成する。Pコンタクトホール24PはP電極層10上に配置され、Nコンタクトホール24Nは残留N部22上に配置される。コンタクトホールの配置を図14の(b)に示す。

40

【0103】

次に、図13の(f)に示すように、金属材を堆積し、表面をドライエッチバックや、CMPによる研磨によって、凹部に金属材を残すことで、Pコンタクトホール24P内にはP電極19Pが形成される。また、Nコンタクトホール24N内と、マイクロ発光素子100d同士の間、N電極19Ndが形成される。さらに、ギャップ26部分に埋め込まれる金属材は反射性の遮光部27となる。この状態の平面図を図14の(c)に示す。

【0104】

本実施形態においても、実施形態2と同様に、マイクロ発光素子100dのP電極19PとN電極19Ndは同一の配線層によって構成されており、1層の配線層のみを有する単純な構成であり、簡略な製造工程によって製造することができる。

50

【0105】

マイクロ発光素子100dを用いて、実施形態2と同様に画像表示素子200dを構成することができる。本実施形態の構成は、マイクロ発光素子100dは一部においてマイクロ発光素子と残留N部22を介して繋がっている。しかしながら、接続部は非常に小さく、それ以外の部分は遮光部27によって覆われているため、光漏洩は低減され、コントラストの低下を大幅に抑制できる。

【0106】

さらに、本実施形態の構成では、光射出面に配線層が露出しない。遮光部27となった金属材料は保護膜23に覆われている。この構造は、成長基板9を剥離する際に、酸やアルカリ性の薬剤に対する耐性を大幅に向上するため、成長基板9の剥離が容易となり、生産性を向上させることができる。また、成長基板9の剥離後に、外部接続部54を形成する際には、成長基板9との界面に存在する保護膜23をエッチングすれば、金属材料と外部接続部54の接続抵抗を低減させることができる。

10

【0107】

〔実施形態6〕

本実施形態は、実施形態5と実施形態3とを組み合わせた構成である。本実施形態のマイクロ発光素子100eの構造と製造工程を図15～図17を用いて説明する。図15の(a)および(b)は、それぞれ実施形態2における図8の(a)および(b)と同じである。

【0108】

次に、分離溝20を形成するが、図8の(c)と異なり、完全にマイクロ発光素子を分離するのではなく、一部に残留N部22を残している。この状態の平面図が図の17(a)であり、隣接する2個のマイクロ発光素子100e間に、残留N部22が配置されている。なお、図の17の(a)のE-E部分の断面図が、図15の(c)である。残留N部22は、N側層11とN電極19Nとを接続する部位であり、その配置は図17の(a)の位置に限定する必要は無く、マイクロ発光素子100eの角部でも構わない。

20

【0109】

次に、図15の(d)に示すように、保護膜23を全面に堆積する。この工程は、分離溝20を完全に埋め込むのでは無く、ギャップ26のように、溝が埋め残されるように、分離溝20の幅と、保護膜23の厚さを選ぶことが好ましい。この工程は、CMPによる平坦化も必要無く、簡略な工程である。

30

【0110】

次に、図15の(e)に示すように、保護膜23にPコンタクトホール24PとNコンタクトホール24Nを形成する。Pコンタクトホール24PはP電極層10上に配置され、Nコンタクトホール24Nは残留N部22上に配置される。

【0111】

次に、図15の(f)に示すように、金属材料を堆積し、表面をドライエッチバックや、CMPによる研磨によって、凹部に金属材料を残すことで、Pコンタクトホール24P内には下部P電極25Pが形成される。また、Nコンタクトホール24Nに下部N電極25Nが形成される。さらに、ギャップ26部分に埋め込まれる金属材料は反射性の遮光部27となる。この状態の平面図を図17の(b)に示す。本工程で堆積される金属材料は、マイクロ発光素子100eが発する光に対して、反射率の高い材料によって構成される。一般には、アルミニウムや銀である。

40

【0112】

次に、図16の(a)に示すように、保護膜17eを堆積し、CMP研磨によって、表面を平坦化する。続いて、図の16(b)および(c)に示すように、実施形態1と同様にP溝18PとN溝18Nを形成し、ダマシン法によって、P電極19PとN電極19Nを形成する。

【0113】

図16の(b)および(c)は、それぞれ図17の(b)のF-F部分の断面図である

50

。N溝18Nは、下部N電極25Nの上であれば良いため、配置の自由度が高く、図17の(b)に示すように、P電極19Pとの距離が最大となる点に配置することで、短絡不良を低減させることができる。

【0114】

以上のようにして、メサ16上にP電極19P、分割溝15上にN電極19Nを配置し、P電極19P、N電極19N共に、接合面となる表面に配置され、その表面は同一材料で平坦に構成される。

【0115】

マイクロ発光素子100eを用いて、実施形態2と同様に画像表示素子200eを構成することができる。本実施形態の構成は、マイクロ発光素子100eは一部においてマイクロ発光素子と残留N部22を介して繋がっている。しかしながら、接続部は非常に小さく、それ以外の部分は遮光部27によって覆われているため、光漏洩は低減され、コントラストの低下を大幅に抑制できる。

10

【0116】

従って実施形態2と同様の効果を実現できる。さらに、本実施形態の構成では、マイクロ発光素子100eを透明な絶縁膜で覆い、その外側に反射率の高い金属を配置することで、反射率を向上し、光出力を一層向上させることができる。

【0117】

さらに、本実施形態の構成では、実施形態5と同様に、光射出面に配線層が露出しない。遮光部27となった金属材は保護膜23に覆われている。この構造は、成長基板9を剥離する際に、酸やアルカリ性の薬剤に対する耐性を大幅に向上するため、成長基板9の剥離が容易となり、生産性を向上させることができる。また、成長基板9の剥離後に、外部接続部54を形成する際には、成長基板9との界面に存在する保護膜23をエッチングすれば、金属材と外部接続部54の接続抵抗を低減させることができる。

20

【0118】

〔まとめ〕

本発明の態様1に係るマイクロ発光素子は、光射出面の側から順に、第1導電層、発光層、および上記第1導電層と反対の導電型を有する第2導電層を積層した化合物半導体を備えたマイクロ発光素子であって、上記光射出面と対向する他方の面に、上記第1導電層と接続する第1電極と、上記第2導電層と接続する第2電極とが配置されており、上記第2電極は上記発光層上に配置され、上記第1電極は、上記発光層と、他のマイクロ発光素子の発光層とを分割する境界の領域である分割領域に配置されており、上記第1電極の上記他方の面側の表面と上記第2電極の上記他方の面側の表面とが同一平面上にあり、上記第1電極と上記第2電極とは共に単一の配線層よりなる構成である。

30

【0119】

上記構成によれば、第1電極および第2電極のそれぞれが、同一平面（接合面）上に形成されている。これにより、1回の接続工程にて第1電極および第2電極のそれぞれを同時に駆動回路基板の第1駆動電極および第2駆動電極に貼付けることができる。また、上記構成によれば、マイクロ発光素子の光射出側には一切配線を設ける必要が無い。このため、発光効率の低下を抑制し、かつ製造コストを低減することができる。

40

【0120】

本発明の態様2に係るマイクロ発光素子は、光射出面の側から順に、第1導電層、発光層、および上記第1導電層と反対の導電型を有する第2導電層を積層した化合物半導体を備えたマイクロ発光素子であって、上記光射出面と対向する他方の面に、上記第1導電層と接続する第1電極と、上記第2導電層と接続する第2電極とが配置されており、上記第2電極は上記発光層上に配置され、上記第1電極は、上記発光層と、他のマイクロ発光素子の発光層とを分割する境界の領域である分割領域に配置されており、上記第1電極の上記他方の面側の表面と上記第2電極の上記他方の面側の表面とが同一平面上にあり、上記第1電極は、上記光射出面側に第1の金属材を配置し、上記他方の面側に第2の金属材を配置しており、上記第1の金属材は、上記第2の金属材に比べて、反射率が高い構成であ

50

る。

【0121】

本発明の態様3に係るマイクロ発光素子は、上記態様1または2において、上記マイクロ発光素子が、上記他のマイクロ発光素子の少なくとも一部と接続していても良い。

【0122】

本発明の態様4に係るマイクロ発光素子は、上記態様1または2において、上記マイクロ発光素子が、上記他のマイクロ発光素子と完全に分離されていても良い。

【0123】

本発明の態様5に係るマイクロ発光素子は、上記態様1～4の何れかにおいて、上記第1電極が、上記マイクロ発光素子の周囲を覆っていても良い。

10

【0124】

本発明の態様6に係るマイクロ発光素子は、上記態様1～5の何れかにおいて、上記第1電極が、上記光射出面に達していても良い。

【0125】

本発明の態様7に係るマイクロ発光素子は、上記態様1～6の何れかにおいて、上記マイクロ発光素子は、発光ダイオードであり、上記発光層を上記他のマイクロ発光素子の発光層と分割する分割溝の側壁が、上記発光層のなす面に対して、 $45^\circ \pm 10^\circ$ の範囲で傾斜していても良い。

【0126】

本発明の態様8に係るマイクロ発光素子は、上記態様1～7の何れかにおいて、上記マイクロ発光素子は、上記第2電極を複数有していても良い。

20

【0127】

本発明の態様9に係るマイクロ発光素子は、上記態様1または2において、上記マイクロ発光素子が、垂直共振器面発光レーザーのレーザーダイオード構造を有していても良い。

【0128】

本発明の態様10に係る画像表示素子は、上記態様1～9の何れかのマイクロ発光素子が、駆動回路基板上に配置され、上記マイクロ発光素子の上記第2電極および上記第1電極のそれぞれが、上記駆動回路基板上の対応する第2駆動電極および第1駆動電極と接続されていることが好ましい。

30

【0129】

本発明の態様11に係る画像表示素子は、上記態様10において、上記画像表示素子が、全面に化合物半導体が配置されていても良い。

【0130】

本発明の態様12に係る画像表示素子は、上記態様10または11において、上記化合物半導体の上記光射出面の上に、外部接続部が設けられていても良い。

【0131】

本発明の態様13に係る画像表示素子は、上記態様10～12の何れかにおいて、上記画像表示素子が、上記マイクロ発光素子と上記駆動回路基板の接合面において、上記マイクロ発光素子側および上記駆動回路基板側の一方に、電極を配置した領域を有していても良い。

40

【0132】

本発明の態様14に係るマイクロ発光素子の形成方法は、成長基板上に、第1導電層、発光層、第1導電層と反対導電型の第2導電層を順に堆積し、化合物半導体を成長する工程と、上記成長基板上において、上記化合物半導体の上記発光層をマイクロ発光素子毎に分割する分割溝を形成する工程と、上記分割溝上に保護膜を堆積し、その表面を平坦化する工程と、上記発光層上に上記第2導電層と接続する第2電極を形成し、上記分割溝上に上記第1導電層と接続する第1電極を形成する工程を含み、上記第2電極および上記第1電極のそれぞれの表面は、平坦に形成される方法である。

【0133】

50

本発明の態様 15 に係る画像表示素子の形成方法は、上記態様 14 のマイクロ発光素子の形成方法によりマイクロ発光素子を形成する工程と、上記マイクロ発光素子を駆動する駆動回路を半導体基板上に形成する工程と、上記マイクロ発光素子を上記半導体基板の表面に貼合わせる工程と、上記マイクロ発光素子の成長基板を除去する工程と、を含む方法である。

【0134】

〔本発明の別の表現〕

本発明は、以下のように表現することもできる。すなわち、本発明の一態様に係るマイクロ発光素子は、光射出面（第 1 面）側から順に、第 1 導電層、発光層、および第 1 導電層と反対導電型の第 2 導電層を積層した化合物半導体を有し、上記化合物半導体の発光層はマイクロ発光素子毎に分割されており、上記マイクロ発光素子の光射出面（第 1 面）と対向する他方の面（第 2 面）に、上記第 2 導電層と接続する第 2 電極と、上記第 1 導電層と接続する第 1 電極が配置されており、上記第 2 電極は上記発光層上に配置され、上記第 1 電極は上記分割領域に配置されており、上記第 1 電極および上記第 2 電極の表面は同材料で構成され、かつ、平坦である構成である。

10

【0135】

また、本発明の一態様に係るマイクロ発光素子は、上記マイクロ発光素子が、隣接するマイクロ発光素子と接続していても良い。

【0136】

また、本発明の一態様に係るマイクロ発光素子は、上記マイクロ発光素子が、隣接するマイクロ発光素子と大部分が分離されていても良い。

20

【0137】

また、本発明の一態様に係るマイクロ発光素子は、上記マイクロ発光素子が、隣接するマイクロ発光素子と完全に分離されていても良い。

【0138】

また、本発明の一態様に係るマイクロ発光素子は、上記第 2 電極が、上記マイクロ発光素子の周囲の大部分を覆っていても良い。

【0139】

また、本発明の一態様に係るマイクロ発光素子は、上記第 1 電極が第 1 面に達していても良い。

30

【0140】

また、本発明の一態様に係るマイクロ発光素子は、上記第 1 電極が、第 1 面側に第 1 の金属材料を配置し、第 2 面側に第 2 の金属材料を配置しており、第 1 の金属材料は第 2 の金属材料に比べて、反射率が高くても良い。

【0141】

また、本発明の一態様に係るマイクロ発光素子は、上記マイクロ発光素子が、発光ダイオードであり、上記発光層を分割する分割溝の側壁が、上記発光層のなす面に対して、 $45^\circ \pm 10^\circ$ の範囲で傾斜していても良い。

【0142】

また、本発明の一態様に係るマイクロ発光素子は、上記マイクロ発光素子が、複数の上記第 2 電極を有しても良い。

40

【0143】

また、本発明の一態様に係るマイクロ発光素子は、上記マイクロ発光素子が、VCSEL 型のレーザーダイオード構造を有していても良い。

【0144】

また、本発明の一態様に係る画像表示素子は、上記マイクロ発光素子を、駆動回路基板上に配置し、上記マイクロ発光素子の上記第 2 電極および上記第 1 電極は、それぞれ、上記駆動回路基板上の対応する上記第 2 駆動電極と上記第 1 駆動電極に接続していても良い。

【0145】

50

また、本発明の一態様に係る画像表示素子は、上記画像表示素子が、全面に化合物半導体を配置しても良い。

【0146】

また、本発明の一態様に係る画像表示素子は、上記化合物半導体の上記第1面の上に、外部接続部を設けても良い。

【0147】

また、本発明の一態様に係る画像表示素子は、上記画像表示素子が、上記マイクロ発光素子と上記駆動回路基板の接合面において、上記マイクロ発光素子側と上記駆動回路基板側の一方のみに、電極を配置した領域を有しても良い。

【0148】

また、本発明の一態様に係るマイクロ発光素子の形成方法は、成長基板上に、第1導電層、発光層、第1導電層と反対導電型の第2導電層を順に堆積し、化合物半導体を成長する工程と、上記成長基板上において、上記化合物半導体の発光層をマイクロ発光素子毎に分割する分割溝を形成する工程と、上記分割溝上に保護膜を堆積し、その表面を平坦化する工程と、上記発光層上に上記第2導電層と接続する第2電極を形成し、上記分割溝上に上記第1導電層と接続する第1電極を形成する工程を含み、上記第2電極および上記第1電極の少なくとも表面は、同時に、平坦に形成されても良い。

【0149】

また、本発明の一態様に係る画像表示素子の形成方法は、上記マイクロ発光素子の形成方法によりマイクロ発光素子を形成する工程と、上記マイクロ発光素子を駆動する駆動回路を含む駆動回路を半導体基板上に形成する工程と、上記マイクロ発光素子を上記半導体基板の表面に貼合わせる工程と、上記マイクロ発光素子の成長基板を除去する工程よりなっても良い。

【0150】

〔付記事項〕

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

【符号の説明】

【0151】

- 1 画素領域
- 2 ダミー領域
- 3 外部接続領域
- 4 スクライプ部
- 5 画素
- 6 青サブ画素
- 7 赤サブ画素
- 8 緑サブ画素
- 9 成長基板
- 10、10-1、10-2 P電極層
- 11、11c N側層
- 12 発光層
- 13 P側層
- 14、14c 化合物半導体
- 15 分割溝
- 16 メサ
- 17、17e 保護膜
- 18P P溝

10

20

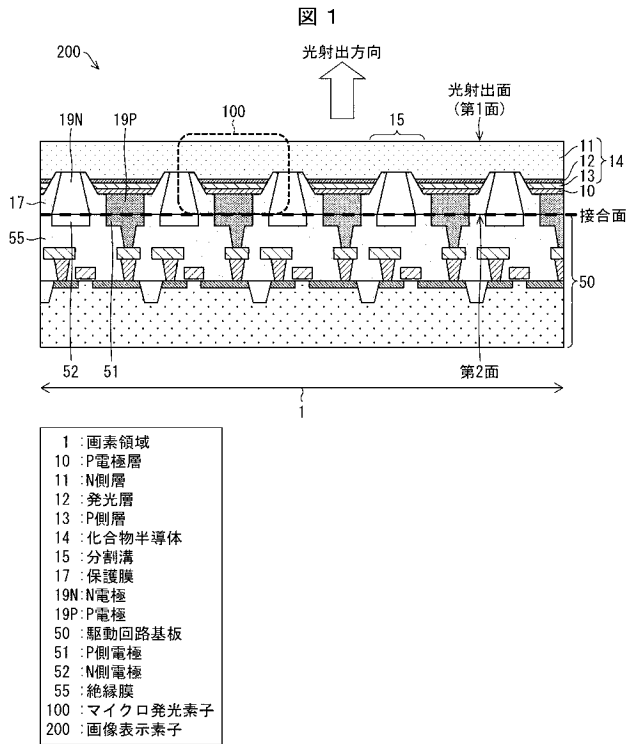
30

40

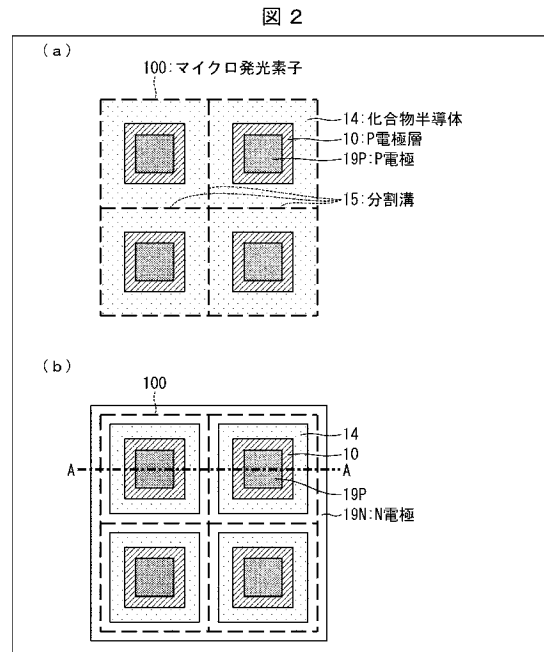
50

1 8 N、1 8 N a、1 8 N b	N 溝	
1 9 P、1 9 P 1、1 9 P 2、	P 電 極	
1 9 N、1 9 N a、1 9 N d	N 電 極	
1 9 O	外部接統電極	
2 0	分離溝	
2 1	N 側コンタクト電極	
2 2	残留 N 部	
2 3	下部保護膜	
2 4 P	P コンタクトホール	
2 4 N	N コンタクトホール	10
2 5 P	下部 P 電極	
2 5 N	下部 N 電極	
2 6	ギャップ	
2 7	遮光部	
4 3	第 1 反射層	
4 4	透明電極層	
4 5	第 2 反射層	
4 6	開口部	
5 0	駆動回路基板	
5 1	P 側電極	20
5 2	N 側電極	
5 3	ダミー電極	
5 4	外部接統部	
5 5	絶縁膜	
1 0 0、1 0 0 a、1 0 0 b、1 0 0 c、1 0 0 d、1 0 0 e	マイクロ発光素子	
2 0 0、2 0 0 a、2 0 0 b、2 0 0 c、2 0 0 d、2 0 0 e	画像表示素子	

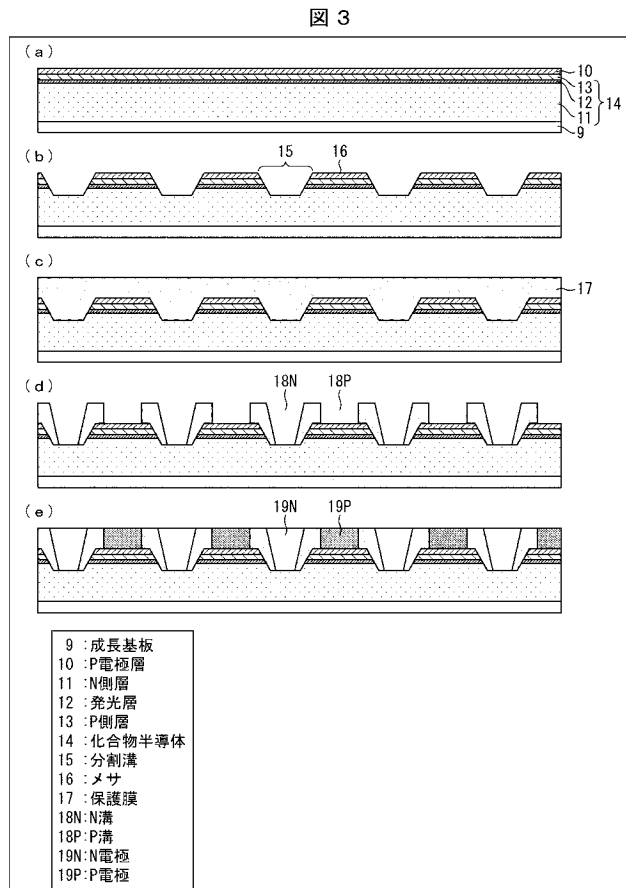
【図 1】



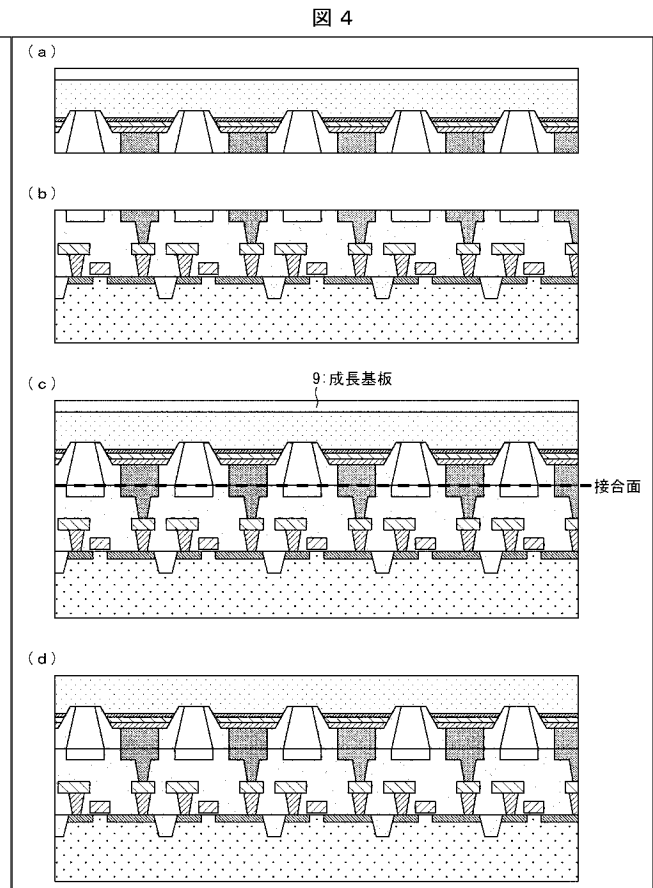
【図 2】



【図 3】

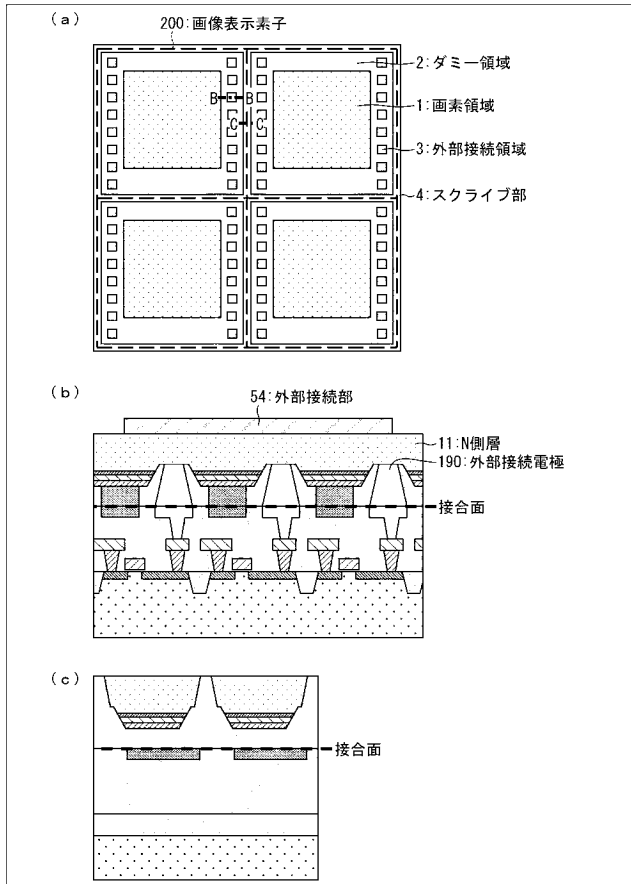


【図 4】



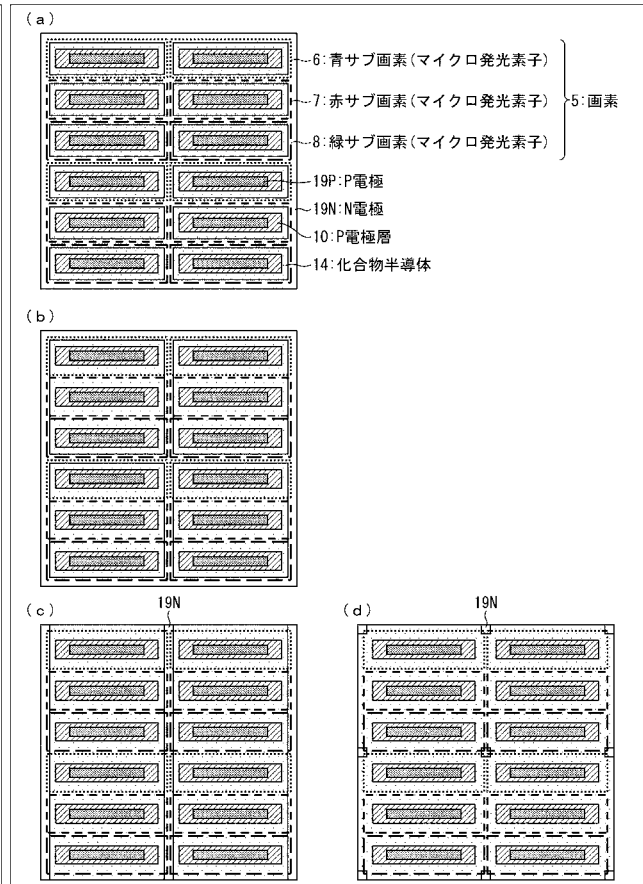
【図 5】

図 5



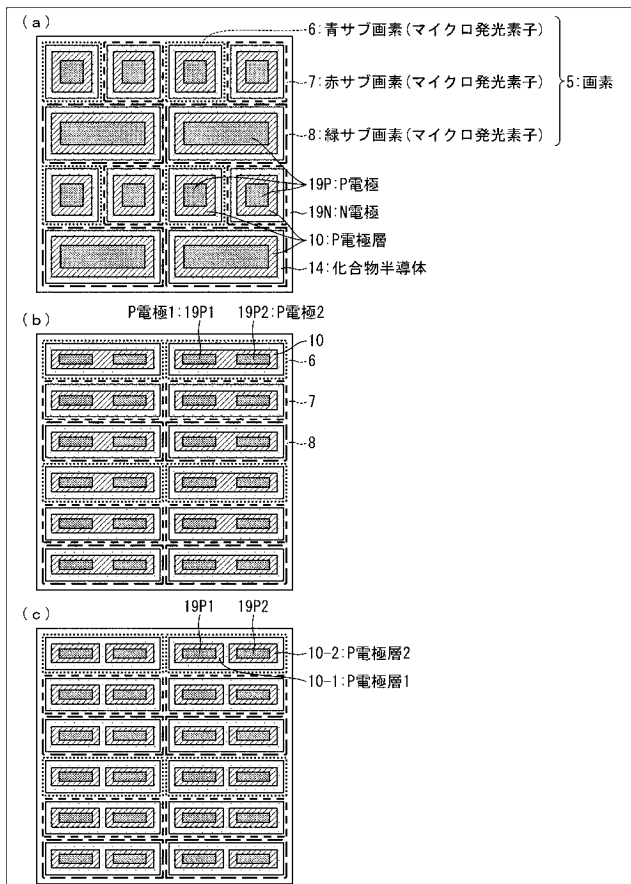
【図 6】

図 6



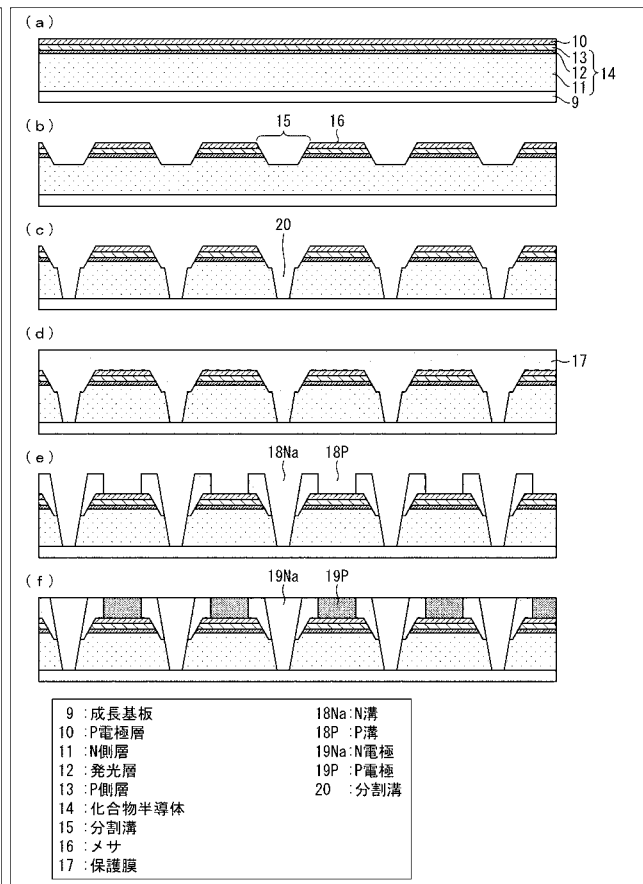
【図 7】

図 7

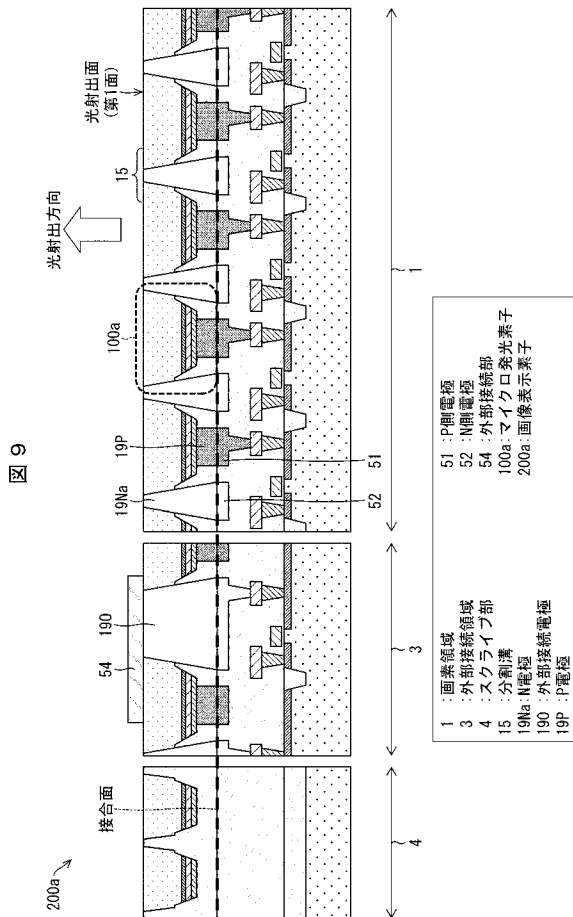


【図 8】

図 8



【図 9】



【図 1 1】

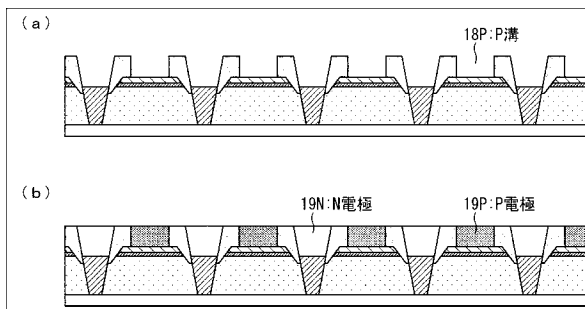


図 11

【図 1 0】

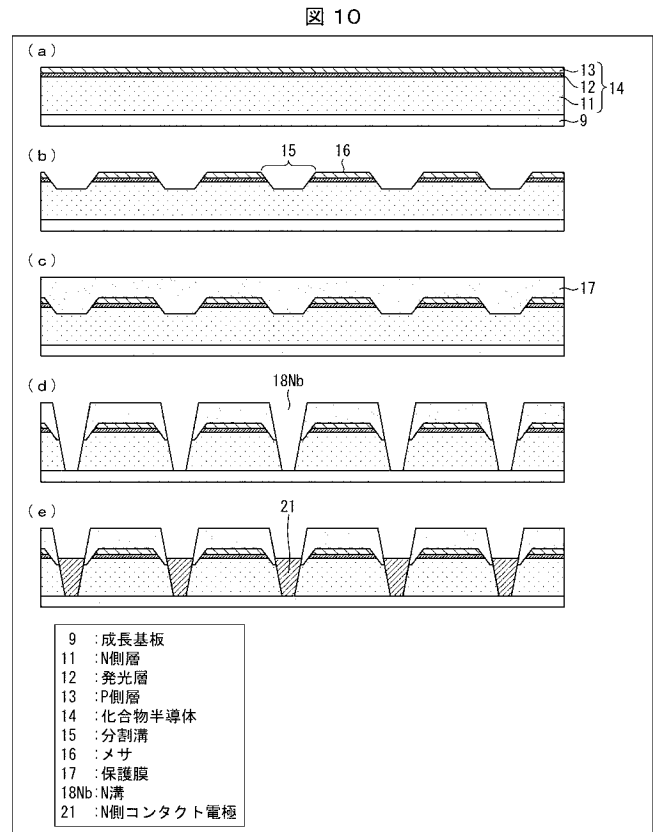


図 10

【図 1 2】

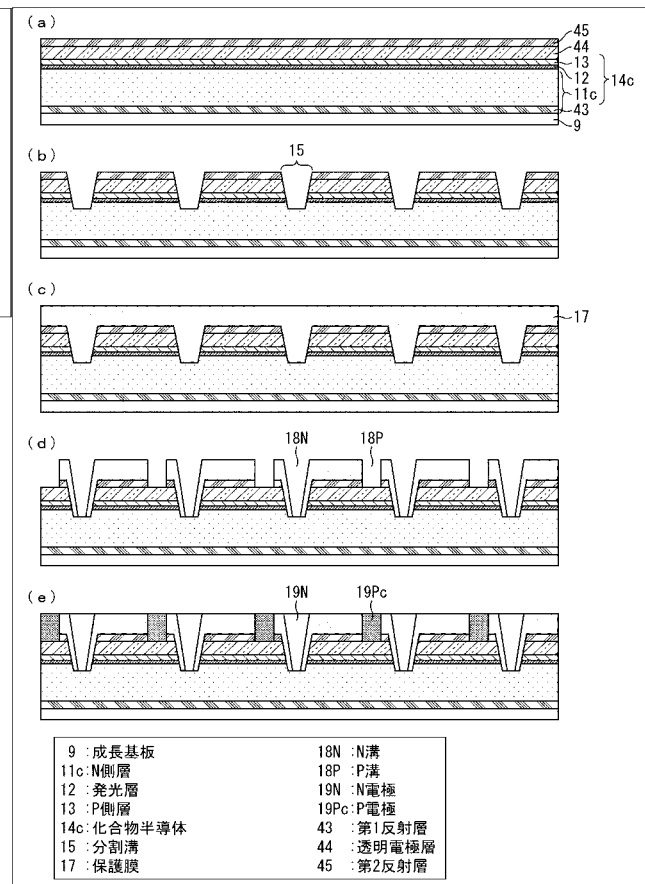
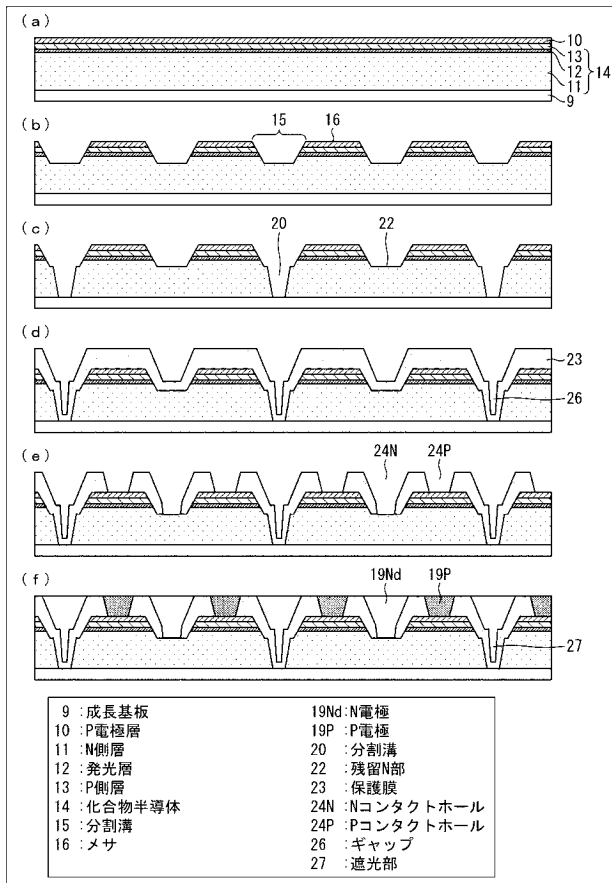


図 12

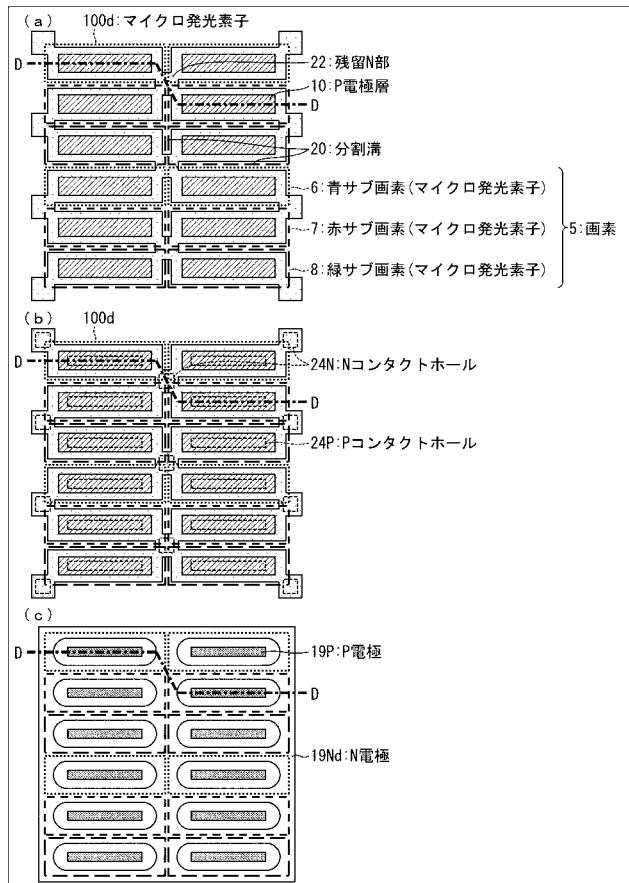
【図 13】

図 13



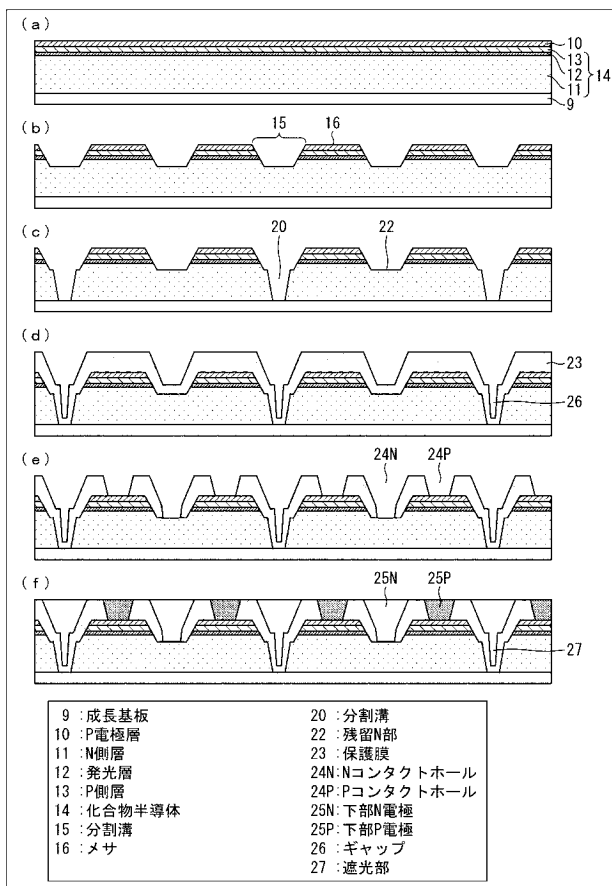
【図 14】

図 14



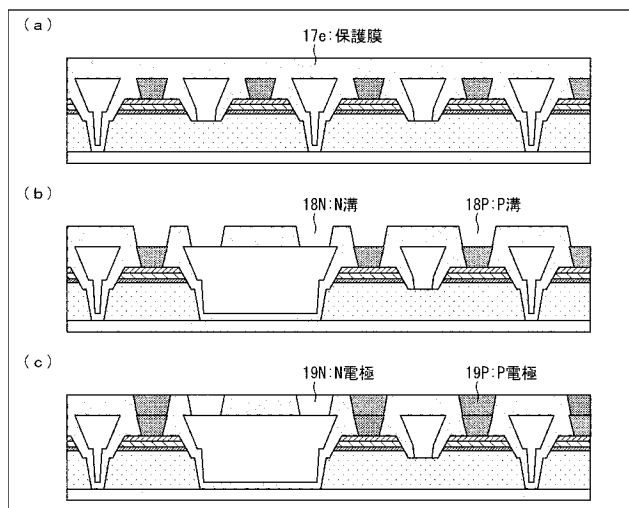
【図 15】

図 15



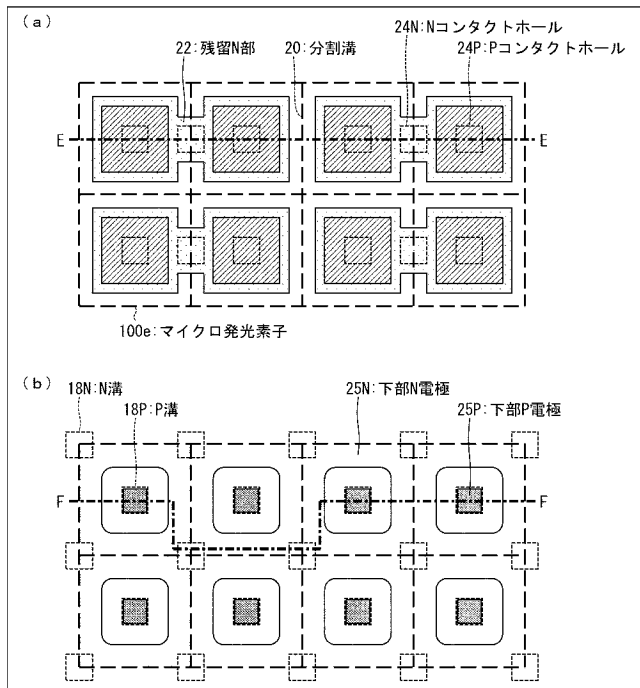
【図 16】

図 16



【図 17】

図 17



フロントページの続き

F ターム(参考) 5F241 AA41 AA42 BB18 CA34 CA35 CA36 CA40 CA74 CA76 CA83
CA88 CA91 CB05 CB23 FF06
5G435 AA03 AA17 BB04 CC09 KK05

专利名称(译)	微型发光元件，图像显示元件及其形成方法		
公开(公告)号	JP2019204823A	公开(公告)日	2019-11-28
申请号	JP2018097246	申请日	2018-05-21
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	井口 勝次		
发明人	井口 勝次		
IPC分类号	H01L33/36 H01S5/183 G09F9/33 G09F9/00		
CPC分类号	H01L27/156 H01L33/0075 H01L33/38 H01L33/48 H01L33/62 H01L2933/0016 H01L2933/0033 H01L2933/0066 H01S5/0216 H01S5/042 H01S5/183 H01L23/552 H01L25/167 H01L33/0062 H01L33/0093 H01L33/30 H01L33/32 H01L33/382 H01L33/385 H01L33/405 H01L33/42 H01L33/44 H01S5/04253 H01S5/18341 H01S5/32341 H01S5/423 H01L25/18 H01L25/50 H01L33/24 H01L2933/0025 H01S5/02248 H01S5/028 H01S5/0425 H01S5/04257 H01S5/18347 H01S5/18375 H01S5/3013		
FI分类号	H01L33/36 H01S5/183 G09F9/33 G09F9/00.338		
F-TERM分类号	5C094/AA10 5C094/AA44 5C094/BA24 5C094/CA19 5C094/DB02 5C094/FA01 5C094/FA02 5C094/FA03 5C094/FB02 5C094/FB14 5C094/JA09 5F173/AC03 5F173/AC14 5F173/AD02 5F173/AP33 5F241/AA41 5F241/AA42 5F241/BB18 5F241/CA34 5F241/CA35 5F241/CA36 5F241/CA40 5F241/CA74 5F241/CA76 5F241/CA83 5F241/CA88 5F241/CA91 5F241/CB05 5F241/CB23 5F241/FF06 5G435/AA03 5G435/AA17 5G435/BB04 5G435/CC09 5G435/KK05		
外部链接	Espacenet		

摘要(译)

为了抑制发光效率的降低并降低制造成本。解决方案：微发光元件（100）包括化合物半导体（14），该化合物半导体具有从出光表面侧依次沉积的N侧层（11）。），发光层（12）和P侧层（13）以及与N侧层（11）连接的N电极（19N）和与P侧连接的P电极（19P）在与光出射表面相对的另一表面上的层13。P电极（19P）设置在发光层（12）上，而N电极（19N）设置在作为将发光层（12）与发光分离的边界区域的划分区域中。其他微发光元件的层。N电极（19N）的另一个表面侧的表面与P电极（19P）的另一个表面侧的表面在同一平面上，N电极（19N）和P电极（19P）为同一平面。两者均由单个布线层制成。选定的图纸：图1

